

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-200332

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月2日

H 01 L 21/3205  
21/90

W

6810-5F  
6810-5F

H 01 L 21/88

Z

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 平1-341210

⑰ 出 願 平1(1989)12月27日

⑱ 発 明 者 笠 原 和 彦 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地  
⑳ 代 理 人 弁理士 西野 卓嗣 外2名

PTO 2002-3647

S.T.I. C. Translations Branch

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 電源電圧を供給する幅広配線と、この幅広配線からの電流供給を受ける素子部と、前記幅広配線の延在方向と同一方向にある一定の長さをもつ前記幅広配線と前記素子部との接続部と、前記接続部とは別の位置で前記幅広配線とクロスされる下層配線とを具備する半導体集積回路において、

前記幅広配線に前記接続部の長さに対して十分小さい長さのスリットを前記幅広配線の延在方向と平行に一直線状に設け且つ複数本並設し、

前記接続部に対する前記幅広配線の延在方向と略直角方向の電流流入経路を多数箇所に設けたことを特徴とする半導体集積回路。

(2) 前記素子部は出力バッファトランジスタであることを特徴とする請求項第1項に記載の半導体集積回路。

(3) 前記幅広配線と前記下層配線はアルミ材料から成ることを特徴とする請求項第1項に記載の半導体集積回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明はストレスマイグレーションによる故障を防止できると共に、大電流容量を要する接続部における電流集中を防止した半導体集積回路に関する。

(ロ) 従来の技術

従来より、集積回路の高集積化・高密度化が高められ、デバイスの小型化が進むにつれて、相互接続のための配線の幅が微細になっている。その一方で、電源ライン( $V_{DD}$ ,  $V_{SS}$ )は所要の電流容量を確保し(電流密度を一定値以下に抑える)且つ抵抗分による電圧降下を抑えるために信号ライン等よりは太い配線が要求されていることも事実である。従って、製造プロセスがサブミクロンルールに移行しようとも、数箇所には必ず前記太い配線が延在することになる。

このような幅広の配線を要求するものとして第1に出力バッファトランジスタがあげられる。第4図にその一例を示す。同図において、(1)は出力バッファトランジスタ、(2)はソース電極、(3)はドレイン電極、(4)は電源電圧( $V_{DD}$ ,  $V_{SS}$ )が印加された幅広配線、(5)はソース電極(2)と幅広配線(4)とを層間接続するためのスルーホールである。MOSトランジスタは、ソース電極(2)とドレイン電極(3)との間にポリシリコン等から成るゲート電極と、ゲート電極の両脇にソース・ドレイン領域を形成して構成され、前記ゲート電極をジグザク状に延在させることでMOSトランジスタの外部駆動能力を高め且つパターンサイズの縮小を図っている。出力バッファトランジスタは、LSIの出力数に応じた数だけ形成される。

また、幅広配線(4)はそれだけの占有面積を要し同じ線幅で延在されるから、集積度を高める為にその下に下層配線(6)をクロスさせることが多い。

(h) 発明が解決しようとする課題

は出力バッファトランジスタへの電流供給に寄与できなくなる。そのため部分的に電流密度が増大し、新たにエレクトロマイグレーションによる破壊が発生する危惧がある。スルーホール(5)の部分だけスリット(8)を除去すれば済むが、スルーホール(5)に近接して下層配線(6)を配置できなくなる他、制限条件が増すので配線の設計自由度を損う欠点があった。

(二) 課題を解決するための手段

本発明は上記従来の課題を解決すべく成されたもので、幅広配線(14)に出力バッファトランジスタ(11)との接続部の幅(A)よりは短いスリット(16)をその延在方向と平行に複数設け、接続部に対して幅広配線(14)の延在方向と略直角方向の電流流入経路を多数箇所設けることにより、先ず第1に幅広配線(14)とクロスする下層配線(19)のストレスマイグレーション破壊を防止し、第2に出力バッファトランジスタ(11)との接続部における電流集中を防止できる半導体集積回路を提供するものである。

しかしながら、前記幅広配線(4)は幅が広い分だけ熱膨張差による大きなストレスを発生し、これが下層配線(6)に重畳されることによって下層配線(6)が十分な強度を保つはずの線幅を有していてもストレスマイグレーションによる断線(7)が発生することが確認された。(例えば、特開昭64-45142号公報)前述したように幅広配線(4)の下部は集積度向上のために有効利用したいので、ストレスによる破壊は大問題となる。

斯る欠点を改善するため、先ず第5図に示すような形状が試案された。即ち、幅広配線(4)にその延在方向と平行に複数本のスリット(8)を設け、幅広配線(4)を複数の細状配線(9)に分割することによってストレスを分散しようとするものである。

しかしながら、第5図の構成ではストレスマイグレーションは解消できるものの、出力バッファトランジスタのように大きなコンタクト面積を要する部分ではスリット(8)が存在するためにスルーホール(5)が設けられない細状配線(9a)(9b)

(\*) 作 用

本発明によれば、スリット(16)を設けることによって幅広配線(14)が発生するストレスを分散できる。その一方で、スリット(16)の長さは出力バッファトランジスタ(11)と幅広配線(14)との接続部の長さよりは短く抑えられているので、電流はスリット(16)が存在しない橋絡部分(18)を通してどの位置からでもスルーホール(15)に流れ込むことができる。

(ハ) 実施例

以下に本発明の一実施例を図面を参照しながら詳細に説明する。

第1図において、(11)は出力バッファトランジスタ、(12)はソース電極、(13)はドレイン電極、(14)は電源電圧( $V_{DD}$ ,  $V_{SS}$ 等)が印加された幅広配線、(15)は幅広配線(14)とソース電極(12)とを層間接続するためのスルーホールである。

出力バッファトランジスタ(11)は、シリコン単結晶基板上に絶縁膜( $SiO_2$ 等)を介して配置したポリシリコンから成るゲート電極と、ゲート電極

の両脇に拡散形成したソース・ドレイン領域から成り、ソース電極(12)とドレイン電極(13)は夫々前記ソース領域とドレイン領域にコンタクトする。そして、同図から明らかな如くゲート電極を蛇行させることによってゲート幅を増大し外部駆動能力を向上すると共に占有面積の縮小を図っている。出力バッファトランジスタ(11)は出力端子の分だけ設けられ、夫々のトランジスタのドレイン電極(13)は図示せぬ出力ボンディングパッドに接続されている。ソース及びドレイン電極(12)(13)はAl又はAl-Siの堆積とパターニングによって形成され、と同時に内部の第1層目配線をも(図示せず)形成する。

前記第1層目配線の上は減圧CVD法等による層間絶縁膜(SiO<sub>2</sub>、SiN等)が覆い、幅広配線(14)はこの層間絶縁膜上を延在する。幅広配線(14)もまた、Al又はAl-Siの堆積とパターニングによって形成され、と同時に内部の第2層目配線をも(図示せず)形成する。幅広配線(14)の線幅は、全ての出力バッファトランジスタ(11)に電流

びが幅広配線(14)と平行に複数並設されることで幅広配線(14)は複数本の細状配線(17)に分離され、それらは橋絡部分(18)、つまりスリット(16)が無い部分で互いに連結された形状となる。スリット(16)は細状配線(17)に分断すれば済むので太くする必要は無く、そのプロセスの最小線幅で一定幅(3~5 $\mu$ )で形成すれば良い。スリット(16)のピッチに特に制限は無いが、一定としておけばパターン設計が容易である。

幅広配線(14)は、全ての出力バッファトランジスタ(11)に対して共通接続されるので、その分だけチップ上を延在(多くはチップの周辺部分)することになる。幅広配線(14)は大きな占有面積を有するので、出力バッファトランジスタ(11)とは別の位置で、面積を有効利用するために下層配線(19)をクロスさせることが多い。下層配線(19)はソース電極(12)と同じく第1層目配線でパターニングされた配線であり、多くは信号伝達用に用いられる。

斯る構成によれば、スリット(16)を設けたこと

供給を行うために他の第1層目や第2層目配線よりは幅広に形成され、電流量にもよるが約50~300 $\mu$ の幅に形成される。他は大体2~3 $\mu$ 程度である。

幅広配線(14)とソース電極(12)とは、層間絶縁膜に開けられたコンタクトホール(15)を介して層間接続される。スルーホール(15)は、出力バッファトランジスタ(11)全体に均一な電流供給を行うためにソース電極(12)がソース領域にコンタクトする領域全部にわたって(図示Aの領域)コンタクトする必要がある。そのため、スルーホール(15)は幅広配線(14)の延在方向と同一方向に図示Aの幅だけ本実施例では拡張されている。この他、小さなコンタクトホール(15)が図示Aの範囲に均等に一直線状に分散させた形状も考えられる。

幅広配線(14)に形成したスリット(16)は、幅広配線(14)とソース電極(12)との接続部の幅(図示Aの範囲)に比べ十分に短い長さに分断されている。短いスリット(16)が一直線状に並び、その並

によって幅広配線(14)を幅の狭い細状配線(17)に分割したので、幅広配線(14)が発生するストレスも個々の細状配線(17)ごとの発生に分割できる。線幅とストレスとは、線幅が増大するとストレスが加速度的に増大するような関係にあるので、結局、細状配線(17)が束になって下層配線(19)に与えるストレスは、従来のスリット無しのものが加えるストレスよりもずっと小さくできる。従って、下層配線(19)のストレスマイグレーションによる破断を防止できる。

尚、配線の線幅や厚み、および層間絶縁膜の厚みにもよるが、下層配線(19)に対して幅広配線(14)がおおむね10 $\mu$ 幅以上で重畳すると破断が生じ易くなるから、細状配線(17)の線幅がそれ以下の幅となるようにスリット(16)を形成する。

その一方で、各細状配線(17)は橋絡部分(18)で相互接続されているので、電流(20)は幅広配線(14)のどの位置からでも橋絡部分(18)を介してスルーホール(15)に流れ込むことができる。つまり、橋絡部分(18)がスルーホール(15)に対する電

流流入経路となるのである。また、スリット(16)は接続部の幅Aに対して十分短くされているから、スルーホール(15)に対して前記橋絡部分(18)から成る電流流入経路が複数箇所に形成されることになる。従って各細状配線(17)間で電流(20)が局部的に集中することが無く、分散して電流密度を均一化できるので、エレクトロマイグレーションによる破壊を防止できる。また、各出力バッファトランジスタ(11)間で外部駆動能力を均等にできる。

第2図は本発明の第2の実施例を示す。先の実施例ではスリット(16)が横一列に並べられているのに対し、本実施例では互い違いにしたものである。この時、図面から明らかなように電流(20)の方向(ボンディングパッドとの位置関係で決まる)に対して橋絡部分(18)が斜めに連続するように互い違いにすると、スルーホール(15)に対する電流(20)の向きに無理が無くスムーズに流せる。互い違いにしたことによって橋絡部分(18)が斜めに連続するので、第3図のように出力バッファト

ランジスタ(11)とは別の位置で幅広配線(14)と直交する下層配線(19)は、略1個又は2個程度の橋絡部分(18)としか重ならず、この関係は幅広配線(14)のどの位置でも共通するので、設計自由度を更に向上できる。先の実施例では、橋絡部分(18)が連続する位置には下層配線(19)を直交させることができない。

#### (1) 発明の効果

以上に説明した通り、本発明によれば幅広配線(14)にスリット(16)を設けることにより、下層配線(19)に与えるストレスを軽減できるので、下層配線(19)のストレスマイグレーション故障を防止できる利点を有する。

また、スリット(16)の長さを短くして橋絡部分(18)を設けることにより、出力バッファトランジスタ(11)との接続部に対して電流流入経路を複数箇所に形成できるので、電流(20)を分散し電流密度を均一にできる。均一化できるので、エレクトロマイグレーションによる故障を防止し、各出力バッファトランジスタ(11)の駆動能力を均一化で

きる利点を有する。

さらに、ストレスマイグレーション及びエレクトロマイグレーションに対する制限を解消できるので、配線の設計自由度を大幅に向上できる利点をも有する。

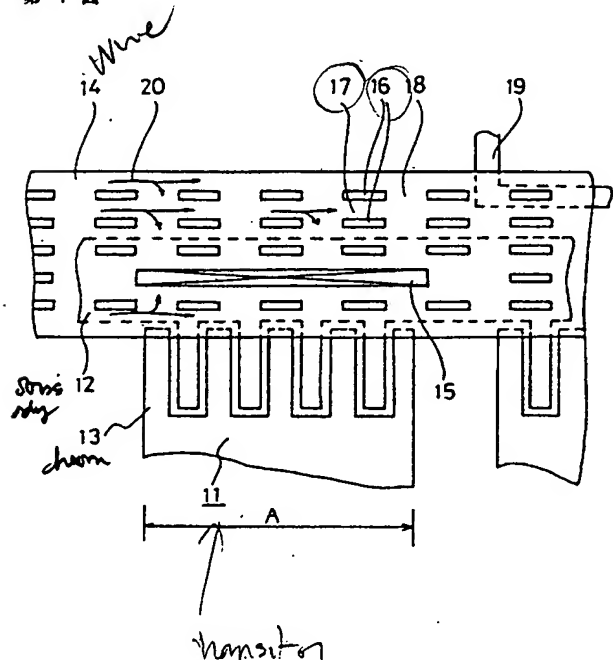
#### 4. 図面の簡単な説明

第1図～第3図は本発明を説明する為の平面図、第4図と第5図は従来例を説明する為の平面図である。

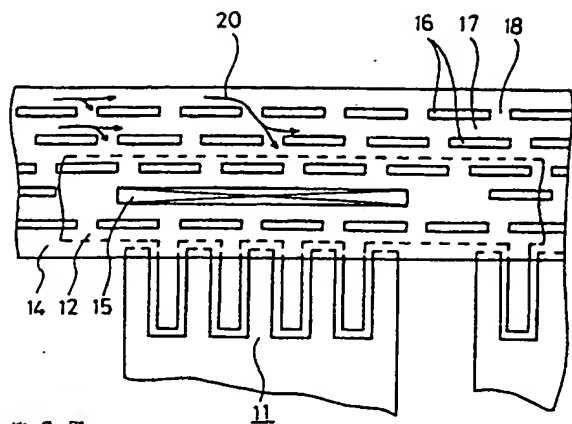
出願人 三洋電機株式会社

代理人 弁理士 西野卓朗 外2名

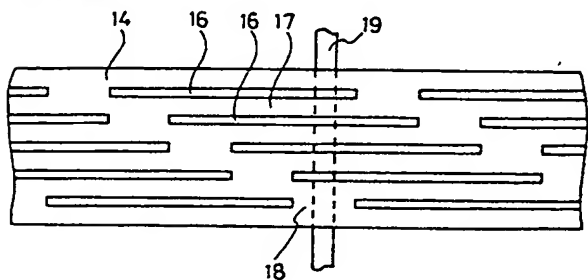
第1図



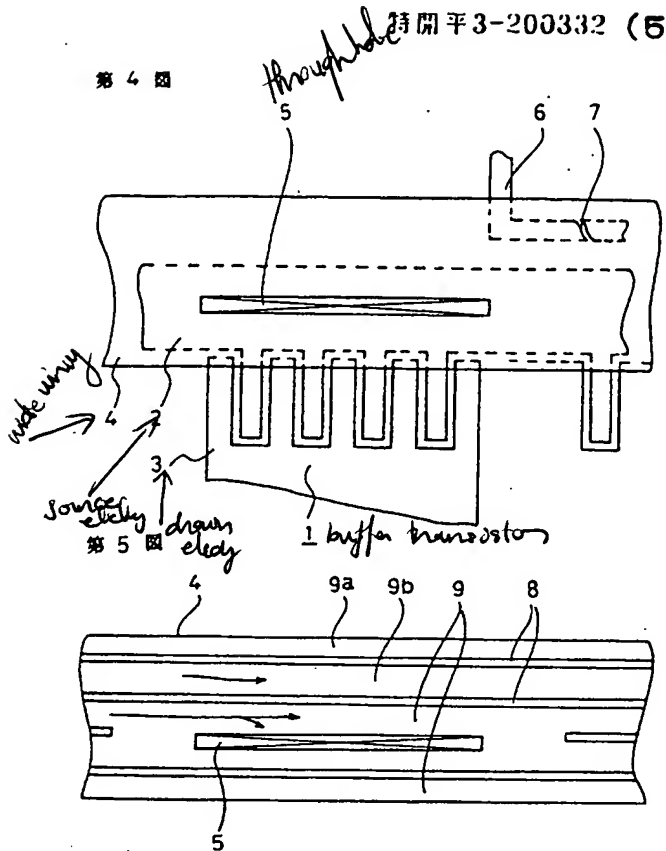
第 2 圖



第 3 圖



第 4 圖



CLIPPEDIMAGE= JP403200332A  
PAT-NO: JP403200332A  
DOCUMENT-IDENTIFIER: JP 03200332 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: September 2, 1991

INVENTOR-INFORMATION:

NAME  
KASAHARA, KAZUHIKO

ASSIGNEE-INFORMATION:

NAME COUNTRY  
SANYO ELECTRIC CO LTD N/A

APPL-NO: JP01341210  
APPL-DATE: December 27, 1989

INT-CL\_(IPC): H01L021/3205; H01L021/90  
US-CL-CURRENT: 438/128

ABSTRACT:

PURPOSE: To prevent a fault due to a stress migration and a current concentration in a junction by arranging a plurality of slits sufficiently shorter than the length of the junction in parallel on straight lines parallel to a wide wiring and providing the junction with a number of current inflow paths in a direction substantially vertical to a direction wherein the wide wiring extends.

CONSTITUTION: A plurality of the rows of slits 16 each of which is shorter than the width A of the junction of a wide wiring 14 and an output buffer transistor 11 are formed in the wide wiring 14 in parallel to a direction wherein the wide wiring 14 extends. The junction is provided with a number of current inflow paths substantially vertical to a direction wherein the wide wiring 14 extends. Thus, by providing the slits 16, a stress generated in the wide wiring 14 can be dispersed. On the other hand, since the lengths of the slits 16 are restricted shorter than the length of the junction of the output buffer transistor 11 and the wide wiring 14, a current can flow into a through-hole 15 via bridge portions wherein no slit 16 exists. Thus, since the stress applied to lower layer wirings can be reduced, a stress migration fault can be prevented.

COPYRIGHT: (C)1991,JPO&Japio

PTO 2002-3647

Japan, Kokai  
3-200332



slot → Shes?

SEMICONDUCTOR INTEGRATED CIRCUIT  
[Handotai Shuseki Kairo]

Kazuhiko Kasahara

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. August, 2002

Translated by: Schreiber Translations, Inc.

Country : Japan  
Document No. : 3-200332  
Document type : Kokai  
Language : Japanese  
Inventor : Kazuhiko Kasahara  
Applicant : Sanyo Electric Co., Ltd.  
IPC : H 04 L 21/3205  
21/90  
Application date : December 27, 1989  
Publication date : September 2, 1991  
Foreign Language Title : Handotai Shuseki Kairo  
English Title : SEMICONDUCTOR INTEGRATED CIRCUIT



1. Title of the Invention: SEMICONDUCTOR INTEGRATED CIRCUIT

2. Claims

1. A semiconductor integrated circuit, characterized by the fact that in a semiconductor integrated circuit equipped with a wide wiring for supplying a power supply voltage, an element part for receiving the current supply from the wide wiring, a junction part of the above-mentioned wide wiring and the above-mentioned element part having a fixed length in the same direction as the extending direction of the above-mentioned wide wiring, and a lower layer wiring being crossed with the above-mentioned wide wiring at a position different from the above-mentioned junction part, several slits with a length sufficiently smaller than the length of the above-mentioned junction part are linearly installed parallel with the extending direction of the above-mentioned wide wiring in the above-mentioned wide wiring; and a number of current inflow paths are installed in the direction approximately perpendicular to the extending direction of the above-mentioned wide wiring for the above-mentioned

---

\*Numbers in the margin indicate pagination in the foreign text.

junction part.

2. The semiconductor integrated circuit of Claim 1, characterized by the fact that the above-mentioned element part s an output buffer transistor.

3. The semiconductor integrated circuit of Claim 1, characterized by the fact that the above-mentioned wide wiring and the above-mentioned lower layer wiring are formed of an aluminum material.

### 3. Detailed explanation of the invention

(Industrial application field)

The present invention pertains to a semiconductor integrated circuit that can prevent a fault due to a stress migration and prevent a current concentration at a junction part that requires a large current capacity.

(Prior art)

A high integration and a high densification of integrated circuits have been raised, and along with the miniaturization of devices, the width of a wiring for a mutual connection has been fined. On the other hand, it is in demand for power supply lines ( $V_{DD}$ ,  $V_{SS}$ ) to be thicker than signal wires to secure a necessary current capacity (to suppress the current density to a fixed value or less) and to suppress the voltage drop due to the resistance portion. Therefore, even if the manufacturing processes are transited to a submicron rule, the above-mentioned thick wiring necessarily extends to several positions.

As devices that demand such a wide wiring, first, an output /2  
buffer transistor is mentioned. Its one example is shown in  
Figure 4. In the figure, (1) is an output buffer transistor, (2)  
is a source electrode, (3) is a drain electrode, (4) is a wide  
wiring to which a power supply voltage ( $V_{DD}$ ,  $V_{SS}$ ) is applied, (5)  
is a through hole for an interlayer connection of the source  
electrode (2) and the wide wiring (4). A MOS transistor is  
constituted by forming a gate electrode formed of polysilicon  
between the source electrode (2) and the drain electrode (3) and  
source and drain regions at both sides of the gate electrode.  
With the extension of the above-mentioned gate electrode in a  
zigzag shape, an external driving performance of the MOS  
transistor is raised, and the pattern size is reduced. The  
output buffer transistor is formed as many as the number  
corresponding to the number of output of LSI.

Also, since the wide wiring (4) requires the occupied area  
as much and is extended in the same line width, a lower layer  
wiring (6) is frequently crossed under the wide wiring to raise  
the degree of integration.

(Problems to be solved by the invention)

However, since the above-mentioned wide wiring (4) has a  
wide width, a large stress due to the thermal expansion  
difference is generated, overlapped on the lower layer wiring  
(6), so that even if the lower layer wiring (6) has a line width  
that should maintain a sufficient strength, a disconnection (7)  
due to the stress migration is generated. (For example, Japanese

Kokai Patent Application No. Sho 64[1989]-45142). As mentioned above, since the lower part of the wide wiring (4) is effectively utilized to improve the degree of integration, the fracture due to the stress causes a big problem.

In order to improve these drawbacks, first, a shape shown in Figure 5 was constructed. In other words, several slits (8) are installed parallel with the extending direction in the wide wiring (4), and the wide wiring (4) is divided into several fine wirings (9), so that the stress is dispersed.

However, in the constitution of Figure 5, although the stress migration can be solved, since the slits (8) exist in the part that requires a large contact area, fine wirings (9a) and (9b) in which the through hole (5) is not installed cannot contribute to the current supply to the output buffer transistor. For this reason, the current density is partially increased, and the fracture due to an electromigration is likely to be newly generated. Though the slits (8) may be removed only in the part of the through hole (5), the lower layer wiring (6) cannot be disposed adjacently to the through hole (5). Thus, the degree of freedom of the wiring design was damaged due to the increase of the restriction conditions.

(Means to solve the problems)

In order to solve the above-mentioned problems, the present invention provides a semiconductor integrated circuit in which several slits (16) shorter than the width (A) of a junction part with an output buffer transistor (11) are installed parallel with

its extending direction in a wide wiring (14) and a number of current inflow paths in the direction approximately perpendicular to the extending direction of the wide wiring (14). With this constitution, first, the stress migration of a lower layer wiring (19) being crossed with the wide wiring (14) is prevented, and secondly, the current concentration on the junction part with the output buffer transistor (11) can be prevented.

(Operation)

According to the present invention, with the installation of the slits (16), the stress being generated by the wide wiring (14) can be dispersed. On the other hand, since the length of the slits (16) is suppressed to be shorter than the length of the junction part of the output buffer transistor (11) and the wide wiring (14), a current can be sent into the through hole (15) at any position through bridge portions (18) in which the slit (16) does not exist.

(Application examples)

Next, application examples of the present invention are explained in detail referring to the figures.

In Figure 1, (11) is an output buffer transistor, (12) is a source electrode, (13) is a drain electrode, (14) is a wide wiring to which a power supply voltage ( $V_{DD}$ ,  $V_{SS}$ , etc.) is applied, and (15) is a through hole for an interlayer connection of the wide wiring (14) and the source electrode (12).

The output buffer transistor (11) consists of a gate electrode made of polysilicon disposed via an insulating film

(SiO<sub>2</sub>, etc.) on a silicon monocrystal substrate and source and drain regions diffused and formed at both sides of the gate electrode. The source electrode (12) and the drain electrode (13) are respectively contacted with the above-mentioned source region and drain region. Then, as seen from the figure, with a serpentine arrangement of the gate electrode, the gate width is increased, an external driving performance is improved, and the occupied area is reduced. The output buffer transistor (11) is installed as many as the number of output terminal, and the drain electrode (13) of each transistor is connected to an output bonding pad which is not shown in the figure. The source and drain electrodes (12) and (13) are formed by the deposition and patterning of Al or Al-Si, and an internal first layer wiring is also formed (not shown in the figure).

On the above-mentioned first layer wiring, an interlayer insulating film (SiO<sub>2</sub>, SiN, etc.) due to pressure-reduced CVD method, etc., is covered, and the wide wiring (14) extends on the interlayer insulating film. The wide wiring (14) is also formed by the deposition and patterning of Al or Al-Si, and an internal second layer wiring is also formed (not shown in the figure). The line width of the wide wiring (14) is wider than the first layer wiring and the second layer wiring to supply a current to the entire output buffer transistors (11), and the wide wiring is formed at a width of about 50-300  $\mu$ , though it depends on the current capacity. Otherwise, it is generally about 2-3  $\mu$ .

The wide wiring (14) and the source electrode (12) are

interlayer-connected via the through hole (15) opened in the interlayer insulating film. In the through hole (15), in order to supply a uniform current to the entire output buffer transistor (11), it is necessary for the source electrode (12) to contact with the entire area being contacted with the source region (area A of the figure). For this reason, the through hole (15) is expanded by the width of A of the figure in the same direction as the extending direction of the wide wiring (14) in this application example. In addition, a shape in which small contact holes (15) are uniformly, linearly dispersed in the range of A of the figure is also considered.

The slits (16) formed in the wide wiring (14) are divided into a length sufficiently shorter than the width (the range of A of the figure) of the junction part of the wide wiring (14) and the source electrode (12). Several short slits (16) are linearly arranged parallel with the wide wiring (14), so that the wide wiring (14) are separated into several fine wirings (17). They have a mutually connected shape having no bridge portion (18), that is, no slits (16). Since the slits (16) may be divided into the fine wirings (17), it is not necessary to thicken them, and the slits may be formed at a fixed width (3-5  $\mu$ ) as the minimum line width of the process. There is no particular limitation in the pitch of the slits (16), however if the pitch is fixed, the pattern design is easy.

Since the wide wiring (14) is commonly connected to all the output buffer transistors (11), it is extended as much on chips

(mostly, the peripheral part of the chips). Since the wide wiring (14) has a large occupied area, the lower layer wiring (19) is crossed with it at a position different from the output buffer transistor (11) in many cases to effectively utilize the area. The lower layer wiring (19) is a wiring patterned by the first layer wiring similarly to the source electrode (12) and is frequently used in transmitting signals.

According to this constitution, since the wide wiring (14) is divided into the narrow fine wiring (17) by installing the slits (16), the stress being generated in the wide wiring (14) can also be divided into the generation of each fine wiring (17). Since the line width and the stress have a relationship in which the stress is accelerated with the increase of the line width, after all, the fine wirings (17) become a bundle, so that the stress being exerted on the lower layer wiring (19) can be reduced much more, compared with the stress being generated in the conventional constitution having no slits. Thereby, the fracture due to the stress migration of the lower layer wiring (19) can be prevented.

Also, if the wide wiring (14) is overlapped at a width of about 10  $\mu$  or more on the lower layer wiring (19), since the fracture is easily generated, though it depends on the line width and thickness of the wiring and the thickness of the interlayer insulating film, the slits (16) are formed so that the line width of the fine wirings (17) may be a width narrower than that.

On the other hand, since each fine wiring (17) is mutually



connected by the bridge portions (18), a current (20) can be sent into the through hole (15) via the bridge portions (18) from any position of the wide wiring (14). In other words, the bridge portions (18) become current inflow paths for the through hole (15). Also, since the slits (16) are sufficiently shorter than the width A of the junction part, several current inflow paths consisting of the above-mentioned bridge portions (18) are formed for the through hole (15). Therefore, the current (20) is not locally concentrated between each fine wiring (17) but is dispersed, so that the current density can be made uniform. Thereby, the fracture due to the electromigration can be prevented. Also, an external driving performance can be uniform between each output buffer transistor (11). /4

Figure 2 shows a second application example of the present invention. In the previous application example, the slits (16) are horizontally arranged in a column, whereas in this application example, they are arranged with a mutual difference. At that time, as seen from the figure, if the bridge portions (18) are set with a mutual difference so that they may be obliquely continued in the direction (being determined by the position relation with bonding pads) of the current (20), the current (20) to the through hole (15) is smooth. With the mutual difference, since the bridge portions (18) are obliquely continued, the lower layer wiring (19) perpendicular to the wide wiring layer (14) is overlapped only with about one or two bridge portions (18) at positions different from the output buffer

transistor (11) as shown in Figure 3. Since this relationship is common at any position of the wide wiring (14), the degree of freedom of the design can be further improved. In the previous application example, the lower layer wiring (19) cannot be perpendicular at the positions where the bridge portions (18) are continuous.

(Effects of the invention)

As explained above, according to the present invention, since the stress being exerted on the lower layer wiring (19) can be lightened by installing the slits (16) in the wide wiring (14), the stress migration fault of the lower layer wiring (19) can be prevented.

Also, the length of the slits (16) is shortened, and the bridge portions (18) are installed, so that a number of current inflow paths can be formed at the junction part with the output buffer transistor (11). Thereby, the current (20) is dispersed, and the current density can be made uniform. Due to such a uniformity, the fault due to the electromigration is prevented, and the driving performance of each output buffer transistor (11) can be made uniform.

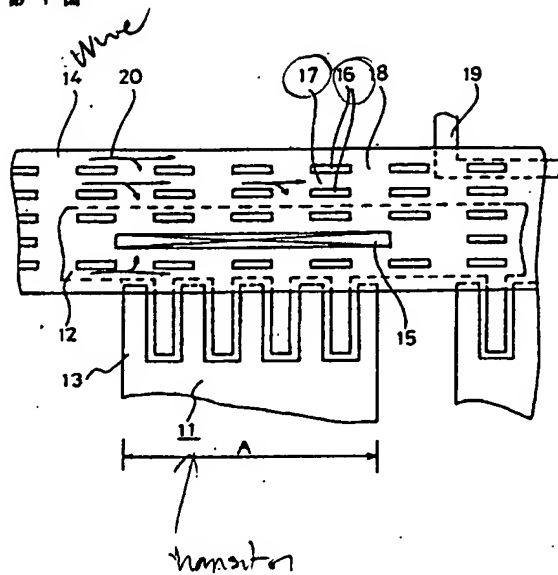
Furthermore, since the restriction on the stress migration and the electromigration can be solved, the degree of freedom of the wiring design can be greatly improved.

#### 4. Brief description of the figures

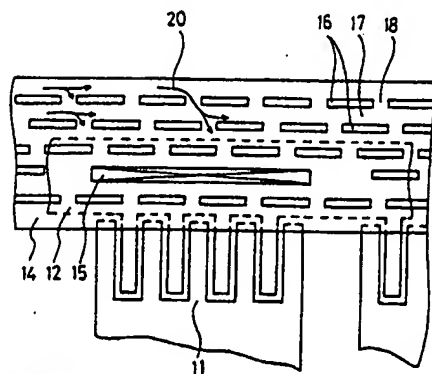
Figures 1-3 are plan views for explaining the present

invention. Figures 4 and 5 are plan views for explaining a conventional example.

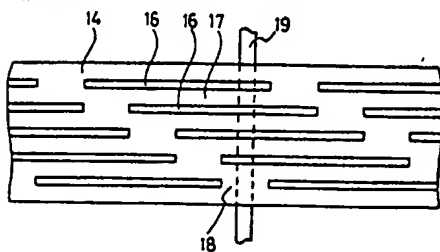
第 1 図



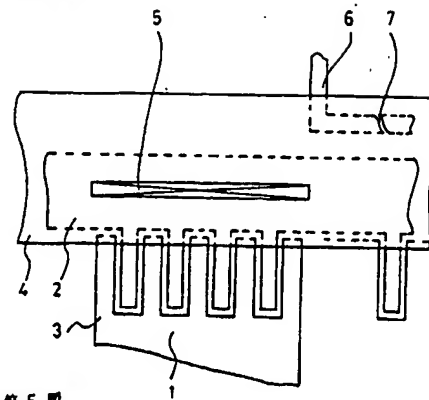
第 2 図



第 3 図



第 4 図



第 5 図

